

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Hiroyuki TAKAHASHI

Application No.: To be assigned

Filed: August 7, 2001

For: **DELAY CIRCUIT AND METHOD**

Art Unit: To be assigned

Examiner: To be assigned

Docket No.: SIM-01501

Certificate of Express Mailing

I hereby certify that the foregoing documents are being deposited with the United States Postal Service as Express Mail, in an envelope addressed to the Commissioner for Patents, Washington, D.C. 20231 on this date of August 7, 2001.

Tracey Newell

Name: Tracey Newell

Express Mail Label: EL506927295US

10857 U.S. PRO
09/923997



Smith

SUBMISSION OF PRIORITY DOCUMENT

Commissioner for Patents
Washington, DC 20231

Sir:

Attached hereto are Japanese Application No. 2000-243317, filed August 10, 2000; and Japanese Application No. 2001-097083, filed March 29, 2001; priority documents for the above-referenced application. Should there be any questions after reviewing this submission, the Examiner is invited to contact the undersigned at 617-951-6676.

Respectfully submitted,
HUTCHINS, WHEELER & DITTMAR

Donald W. Muirhead

Donald W. Muirhead

Reg. No. 33,978

Patent Group

Hutchins, Wheeler & Dittmar

101 Federal Street, Boston, MA 02110-1804

August 7, 2001

Date

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2000年 8月10日

出 願 番 号
Application Number:

特願2000-243317

出 願 人
Applicant(s):

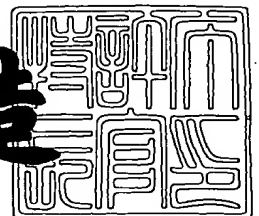
日本電気株式会社



2001年 3月 2日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3014679

【書類名】 特許願

【整理番号】 75010323

【提出日】 平成12年 8月10日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/00

【発明の名称】 遅延回路および方法

【請求項の数】 11

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 高橋 弘行

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100108578

 【弁理士】

 【氏名又は名称】 高橋 詔男

【代理人】

 【識別番号】 100064908

 【弁理士】

 【氏名又は名称】 志賀 正武

【選任した代理人】

 【識別番号】 100101465

 【弁理士】

 【氏名又は名称】 青山 正和

【選任した代理人】

 【識別番号】 100108453

 【弁理士】

 【氏名又は名称】 村山 靖彦

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709418

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 遅延回路および方法

【特許請求の範囲】

【請求項 1】 ロウレベル及びハイレベルの論理レベルを有する論理信号を遅延させる遅延回路において、

1 または 2 以上のインバータからなるインバータチェーンと、

前記インバータの出力部に接続され、前記遅延対象の論理レベルを有する論理信号が入力された場合に前記インバータの出力部に現れる信号の遷移領域においてオフ状態からオン状態になる MOS キャパシタと

を備えたことを特徴とする請求項 1 に記載された遅延回路。

【請求項 2】 ロウレベル及びハイレベルの論理レベルを有する論理信号を遅延させる遅延回路において、

1 または 2 以上のインバータからなるインバータチェーンと、

前記インバータの出力部に接続され、電源電圧に対する前記インバータの出力抵抗の変化に対応して容量値が変化する MOS キャパシタと

を備えたことを特徴とする遅延回路。

【請求項 3】 前記 MOS キャパシタがオン状態にあるゲート電圧範囲とオフ状態にあるゲート電圧範囲との比率は、前記インバータの出力部に現れる信号の遷移領域において電源電圧の増減に比例することを特徴とする請求項 1 または 2 に記載された遅延回路。

【請求項 4】 前記 MOS キャパシタの容量値は、前記インバータの出力部に現れる信号の遷移領域において増加する方向に変化することを特徴とする請求項 1 ないし 3 の何れかに記載された遅延回路。

【請求項 5】 前記 MOS キャパシタは、

前記論理信号の伝搬経路上のノードであって、前記論理信号の論理レベルがロウレベルからハイレベルに変化するノードにゲートが接続され、ソース及びドレインがグランドに固定された n 型 MOS トランジスタからなることを特徴とする請求項 1 ないし 4 の何れかに記載された遅延回路。

【請求項 6】 前記 MOS キャパシタは、

前記論理信号の伝搬経路上のノードであって、前記論理信号の論理レベルがハイレベルからロウレベルに変化するノードにゲートが接続され、ソース及びドレインが電源電圧に固定された p 型 MOS トランジスタからなることを特徴とする請求項 1 ないし 4 の何れかに記載された遅延回路。

【請求項 7】 前記 MOS キャパシタは、

前記論理信号の伝搬経路上のノードであって、前記論理信号の論理レベルがハイレベルからロウレベルに変化するノードにソース及びドレインが接続され、ゲートが電源電圧に固定された n 型 MOS トランジスタからなることを特徴とする請求項 1 ないし 4 何れかに記載された遅延回路。

【請求項 8】 前記 MOS キャパシタは、

前記論理信号の伝搬経路上のノードであって、前記論理信号の論理レベルがロウレベルからハイレベルに変化するノードにソース及びドレインが接続され、ゲートがグランドに固定された p 型 MOS トランジスタからなることを特徴とする請求項 1 ないし 4 の何れかに記載された遅延回路。

【請求項 9】 ロウレベル及びハイレベルの論理レベルを有する論理信号を遅延させる遅延回路において、

1 または 2 以上のインバータを従属接続してなるインバータチェーンを備え、遅延対象の前記論理信号の論理レベルに応じて、前記インバータを構成する p 型 MOS トランジスタおよび n 型 MOS トランジスタの各ゲート閾値電圧を互いに逆方向にシフトさせたことを特徴とする遅延回路。

【請求項 10】 ロウレベル及びハイレベルの論理レベルを有する論理信号を遅延させる遅延方法において、

(a) 初期状態において前記論理信号の伝搬経路上に接続された MOS キャパシタをオフ状態とし、

(b) 前記論理信号に基づき前記 MOS キャパシタをオフ状態からオン状態に変化させることを特徴とする遅延方法。

【請求項 11】 前記 MOS キャパシタの容量値は、当該 MOS キャパシタが接続された前記伝搬経路上のノードに現れる信号の遷移領域において増加する方向に変化することを特徴とする請求項 10 に記載された遅延方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、ロウレベル及びハイレベルの2値の論理レベルを有する論理信号を遅延させるための遅延回路および方法に関し、特に電源電圧に対する遅延時間の依存性を抑えるための技術に関する。

【0002】

【従来の技術】

従来、半導体装置では、各回路を動作させる上で必要とされる信号のタイミングを得るために遅延回路を用いている。

図11に、従来技術にかかる遅延回路の構成例を示す。

同図に示す例は、複数のインバータJV1～JV4によりインバータチェーンを構成し、各インバータの出力部とグランドとの間にはn型MOSトランジスタJN1～JN4を接続したものである。これらn型MOSトランジスタJN1～JN4のゲートは、インバータJV1～JV4の出力部にそれぞれ接続され、これらn型MOSトランジスタJN1～JN4のソース及びドレインはグランドに接続されている。

【0003】

この従来技術にかかる遅延回路によれば、n型MOSトランジスタJN1～JN4がMOS容量を形成し、各インバータに容量性の負荷が接続されるため、各インバータの出力信号の変化が緩やかとなり、この遅延回路を通過する信号に遅延が生じる。

【0004】

【発明が解決しようとする課題】

ところで、近年、デバイス構造の微細化に伴う各種の耐圧の低下と低消費電力化の観点から、半導体装置の電源電圧を低下させ、内部回路を低電圧で動作させるのが通例となっている。しかしながら、上述の従来技術にかかる遅延回路によれば、電源電圧が低下すると、通常の論理回路系での遅延量に対して遅延時間が過剰に増大し、各信号のタイミング関係が満足されなくなるという問題がある。

【 0 0 0 5 】

以下、この問題を詳細に説明する。

DRAMなどの半導体装置では、例えばデコーダ内部にアドレス信号線が長い距離にわたって配線されており、この配線自体が寄生抵抗と寄生容量を有している。図12に、この種の信号線SLと、この信号線を駆動するためのドライバD（インバータ）とを示す。この信号線SLの先には否定的論理積（NAND）などの論理ゲートの入力部が接続される。同図において、ドライバDから上述の論理ゲートに信号を送る場合、ドライバDは信号線SLに寄生する負荷を駆動する。このとき、信号線SL上の信号のレベルは、信号線SLの寄生抵抗Rと、ドライバD自体の出力抵抗（すなわち、駆動用トランジスタのオン抵抗）と、信号線SLの寄生容量Cとにより定まる時定数に従って変化する。

【 0 0 0 6 】

ここで、ドライバDを構成する駆動用トランジスタのオン抵抗は、電源電圧の依存性を有し、電源電圧が低下すると、電源電圧の2乗に比例して増加するものの、信号線の寄生抵抗は電源電圧の依存性を有しない。したがって、一般に、配線の寄生抵抗を負荷として有する回路系では、信号の遅延時間は電源電圧に対して大きな依存性を持たない傾向を示す。

【 0 0 0 7 】

これに対し、上述の図11に示す遅延回路の場合、各インバータの出力部に接続された配線は短いため、実質的な配線抵抗は存在せず、MOSキャパシタと共に時定数として寄与する抵抗成分は、各インバータを構成するトランジスタのオン抵抗が支配的である。このため、従来の遅延回路によれば、図13に示すように、一般の論理回路系に比較して電源電圧に対する遅延時間の依存性が大きくなり、電源電圧の低下に伴って遅延時間が過剰となる。この結果、内部の論理回路系を経由した信号と、遅延回路を経由した信号との間にタイミング上のずれが生じ、これらの信号を受けて動作する回路が誤動作する場合がある。

【 0 0 0 8 】

この発明は、上記事情に鑑みてなされたものであって、電源電圧が低下しても遅延時間が過剰に増加せず、遅延時間の増加を抑制することが可能な遅延回路お

よび方法を提供することを目的とする。

【0009】

【課題を解決するための手段】

上記課題を解決するため、この発明は以下の構成を有する。

すなわち、この発明にかかる遅延回路は、ロウレベル及びハイレベルの論理レベルを有する論理信号を遅延させる遅延回路において、1または2以上のインバータからなるインバータチェーンと、前記インバータの出力部に接続され、前記遅延対象の論理レベルを有する論理信号が入力された場合に前記インバータの出力部に現れる信号の遷移領域においてオフ状態からオン状態になるMOSキャパシタとを備えたことを特徴とする。

【0010】

この発明にかかる遅延回路は、ロウレベル及びハイレベルの論理レベルを有する論理信号を遅延させる遅延回路において、1または2以上のインバータからなるインバータチェーンと、前記インバータの出力部に接続され、電源電圧に対する前記インバータの出力抵抗の変化に対応して容量値が変化するMOSキャパシタとを備えたことを特徴とする。

【0011】

前記遅延回路において、前記MOSキャパシタがオン状態にあるゲート電圧範囲とオフ状態にあるゲート電圧範囲との比率は、前記インバータの出力部に現れる信号の遷移領域において電源電圧の増減に比例することを特徴とする。

前記遅延回路において、前記MOSキャパシタの容量値は、前記インバータの出力部に現れる信号の遷移領域において増加する方向に変化することを特徴とする。

前記遅延回路において、前記MOSキャパシタは、前記論理信号の伝搬経路上のノードであって、前記論理信号の論理レベルがロウレベルからハイレベルに変化するノードにゲートが接続され、ソース及びドレインがグランドに固定されたn型MOSトランジスタからなることを特徴とする。

【0012】

前記遅延回路において、前記MOSキャパシタは、例えば、前記論理信号の伝

搬経路上のノードであって、前記論理信号の論理レベルがハイレベルからロウレベルに変化するノードにゲートが接続され、ソース及びドレインが電源電圧に固定された p 型 MOS トランジスタからなることを特徴とする。

前記遅延回路において、前記 MOS キャパシタは、例えば、前記論理信号の伝搬経路上のノードであって、前記論理信号の論理レベルがハイレベルからロウレベルに変化するノードにソース及びドレインが接続され、ゲートが電源電圧に固定された n 型 MOS トランジスタからなることを特徴とする。

前記遅延回路において、前記 MOS キャパシタは、例えば、前記論理信号の伝搬経路上のノードであって、前記論理信号の論理レベルがロウレベルからハイレベルに変化するノードにソース及びドレインが接続され、ゲートがグランドに固定された p 型 MOS トランジスタからなることを特徴とする。

【 0 0 1 3 】

この発明にかかる遅延回路は、ロウレベル及びハイレベルの論理レベルを有する論理信号を遅延させる遅延回路において、1 または 2 以上のインバータを従属接続してなるインバータチェーンを備え、遅延対象の前記論理信号の論理レベルに応じて、前記インバータを構成する p 型 MOS トランジスタおよび n 型 MOS トランジスタの各ゲート閾値電圧を互いに逆方向にシフトさせたことを特徴とする。

【 0 0 1 4 】

この発明にかかる遅延方法は、ロウレベル及びハイレベルの論理レベルを有する論理信号を遅延させる遅延方法において、(a) 初期状態において前記論理信号の伝搬経路上に接続された MOS キャパシタをオフ状態とし、(b) 前記論理信号に基づき前記 MOS キャパシタをオフ状態からオン状態に変化させることを特徴とする。

前記遅延方法において、前記 MOS キャパシタの容量値は、例えば、当該 MOS キャパシタが接続された前記伝搬経路上のノードに現れる信号の遷移領域において増加する方向に変化することを特徴とする。

【 0 0 1 5 】

【発明の実施の形態】

以下、図面を参照して、この発明の実施の形態を説明する。

<実施の形態 1>

図 1 に、この発明の実施の形態 1 にかかる遅延回路の構成を示す。

この遅延回路は、ロウレベル及びハイレベルの論理レベルを有する論理信号 S I N を遅延させて信号 S O U T として出力するものであって、入力する論理信号 S I N の論理レベルがロウレベルの場合とハイレベルの場合とで遅延時間が異なる遅延特性を有し、この論理信号 S I N の論理レベルとして与えられるロウレベル及びハイレベルの論理レベルのうち、遅延時間が短い方の論理レベルを遅延対象とする遅延系から構成されている。同図に示す例では、論理信号 S I N のハイレベルを遅延対象とし、論理信号 S I N がロウレベルからハイレベルに変化した場合に論理信号 S I N を遅延させるように機能する。

【 0 0 1 6 】

以下、この遅延回路の構成を詳細に説明する。

図 1 に示すように、この遅延回路は、インバータ V 1 1 ~ V 1 4 からなるインバータチェーンと、p 型 MOS トランジスタ P 1 1, P 1 2、および n 型 MOS トランジスタ N 1 1, N 1 2 とから構成される。インバータ V 1 1 ~ V 1 4 は、p 型 MOS トランジスタと n 型 MOS トランジスタとにより MOS 構成されたものである。具体的には、これらの各インバータを構成する p 型 MOS トランジスタおよび n 型 MOS トランジスタの各ソースは電源およびグランドにそれぞれ接続され、各ゲートは共通接続されてインバータの入力部とされ、各ドレインは共通接続されてインバータの出力部とされる。

【 0 0 1 7 】

また、p 型 MOS トランジスタ P 1 1, P 1 2 は、インバータ V 1 1, V 1 3 の出力部にそれぞれ接続され、遅延対象の論理レベルを有する論理信号が入力された場合にインバータ V 1 1, V 1 3 の出力部に現れる信号の遷移領域においてオフ状態からオン状態になる MOS キャパシタとして寄与する。具体的には、p 型 MOS トランジスタ P 1 1 のゲートはインバータ V 1 1 の出力部に接続され、そのソース及びドレインは電源に接続されている。p 型 MOS トランジスタ P 1 1 のゲートは、インバータ V 1 3 の出力部に接続され、そのソース及びドレイン

は、電源に接続されている。

【0018】

また、 n 型MOSトランジスタ $N11$ 、 $N12$ は、インバータ $V12$ 、 $V14$ の出力部にそれぞれ接続され、遅延対象の論理レベルを有する論理信号が入力された場合にインバータ $V12$ 、 $V14$ の出力部に現れる信号の遷移領域においてオフ状態からオン状態になるMOSキャパシタとして寄与する。具体的には、 n 型MOSトランジスタ $N11$ のゲートはインバータ $V12$ の出力部に接続され、そのソース及びドレインはグランドに接続されている。 n 型MOSトランジスタ $N11$ のゲートは、インバータ $V14$ の出力部に接続され、そのソース及びドレインは、グランド電源に接続されている。

【0019】

このように、MOSキャパシタをなす p 型MOSトランジスタ $N11$ 、 $N12$ は、論理信号 SIN の伝搬経路上のノードであって論理信号 SIN の論理レベルがハイレベルからロウレベルに変化するノードにゲートが接続されており、同じくMOSキャパシタをなす n 型MOSトランジスタ $N11$ 、 $N12$ は、論理信号 SIN の伝搬経路上のノードであって論理信号 SIN の論理レベルがロウレベルからハイレベルに変化するノードにゲートが接続されている。すなわち、この実施の形態1では、論理信号 SIN として遅延対象のハイレベルが入力された場合に、出力信号がハイレベルからロウレベルに変化するインバータの出力部に対し p 型MOSトランジスタからなるMOSキャパシタを設け、出力信号がロウレベルからハイレベルに変化するインバータの出力部に対し n 型MOSトランジスタからなるMOSキャパシタを設けている。

【0020】

ここで、MOSキャパシタをなす p 型MOSトランジスタ $P11$ 、 $P12$ および n 型MOSトランジスタ $N11$ 、 $N12$ のゲート閾値電圧 V_t は、標準的なトランジスタのゲート閾値電圧よりも高く設定されている。以下、この発明において、「高 V_t 」と記す場合は、標準よりも高いゲート閾値電圧 V_t を意味し、「低 V_t 」と記す場合は、標準のゲート閾値電圧を意味するものとする。ただし、「高 V_t 」と「低 V_t 」の意味内容は、これに限定されるものではなく、相対的

に大小関係にある２種類のゲート閾値電圧に対して用いられる。

【 0 0 2 1 】

なお、この実施の形態１では、論理信号 S I N のハイレベルを遅延対象とするが、ロウレベルを遅延対象とする場合には、図 1 (b) に示す構成を採用すればよい。すなわち、この場合の遅延回路は、上述の図 1 (a) に示す構成において、p 型 MOS トランジスタ P 1 1 , P 1 2 に代えて n 型 MOS トランジスタ N 2 1 , N 2 2 を備え、n 型 MOS トランジスタ N 1 1 , N 1 2 に代えて p 型 MOS トランジスタ P 2 1 , P 2 2 を備えて構成される。

【 0 0 2 2 】

ここで、p 型 MOS トランジスタ P 2 1 , P 2 2 は、インバータ V 1 1 , V 1 3 の出力部にそれぞれ接続され、遅延対象の論理レベル（ハイレベル）を有する論理信号が入力された場合にインバータ V 1 1 , V 1 3 の出力部に現れる信号の遷移領域においてオフ状態からオン状態になる MOS キャパシタとして寄与する。n 型 MOS トランジスタ N 2 1 , N 2 2 は、インバータ V 1 2 , V 1 4 の出力部にそれぞれ接続され、遅延対象の論理レベル（ハイレベル）を有する論理信号が入力された場合にインバータ V 1 2 , V 1 4 の出力部に現れる信号の遷移領域においてオフ状態からオン状態になる MOS キャパシタとして寄与する。

【 0 0 2 3 】

以下、図 1 (b) を参照して、この実施の形態１の動作（論理信号の遅延方法）を説明する。

初期状態において、論理信号 S I N の論理レベルは、ロウレベルにあるものとする。この場合、インバータ V 1 1 , V 1 3 の出力信号はハイレベルにあり、インバータ V 1 2 , V 1 4 の出力信号はロウレベルにある。したがって、論理信号 S I N の伝搬経路上に接続された MOS キャパシタ、すなわち p 型 MOS トランジスタ P 1 1 , P 1 2 および n 型 MOS トランジスタ N 1 1 , N 1 2 はオフ状態とされる。

なお、この発明において、MOS キャパシタがオフ状態にあるということは、この MOS キャパシタを構成する MOS トランジスタにはチャネルが形成されていないことを意味し、MOS キャパシタがオン状態にあるということは、この M

OSキャパシタを構成するMOSトランジスタにチャネルが形成されていることを意味するものとする。

【0024】

次に、あるタイミングで論理信号SINがロウレベルからハイレベルに変化すると、これを受けて、インバータV11～V14の出力信号が順次変化する。このとき、初期状態においてオフ状態にあったp型MOSトランジスタ、n型MOSトランジスタN11、p型MOSトランジスタP12、n型MOSトランジスタN12が、オフ状態からオン状態に変化する。即ち、論理信号SINに基づき、MOSキャパシタをなすp型MOSトランジスタP11、P12およびn型MOSトランジスタN11、N12がオフ状態からオン状態に順次変化する。

【0025】

MOSキャパシタをなすp型MOSトランジスタP11、P12およびn型MOSトランジスタN11、N12は、オフ状態ではチャネルが形成されていないのでMOSキャパシタの容量値が小さく、オン状態ではチャネルが形成されているのでMOSキャパシタの容量値が大きくなる。したがって、MOSキャパシタを構成するこれらp型MOSトランジスタP11、P12およびn型MOSトランジスタN11、N12の容量値は、インバータV11～V14の各出力部に現れる信号の遷移領域において増加する方向に変化する。

【0026】

ここで、p型MOSトランジスタP11、P12およびn型MOSトランジスタN11、N12が初期状態においてオフ状態にあるため、これらMOSキャパシタが初期状態でオン状態にある場合に比較して、論理信号SINに対して与えられる遅延時間が相対的に短くなる。すなわち、この遅延回路は、論理信号SINに対して与えられる遅延時間が短くなるように、ハイレベルとロウレベルとで遅延時間が異なる遅延特性を有している。ただし、遅延時間の短縮量は、遅延対象のハイレベルの論理信号SINに対して必要な遅延時間が与えられることを限度とする。このような遅延特性により、遅延対象の論理レベルに与えられる遅延時間を有効に抑え、電源電圧に対する遅延時間の依存性を抑制する。

【0027】

この実施の形態 1 では、遅延対象の論理信号の遷移領域において、MOS キャパシタをオフ状態からオン状態に変化させ、この MOS キャパシタの容量値を増加する方向に変化させているが、見方を変えれば、MOS キャパシタをなす p 型 MOS トランジスタ P 1 1, P 1 2 および n 型 MOS トランジスタ N 1 1, N 1 2 は、電源電圧に対するインバータ V 1 1 ~ V 1 4 の出力抵抗の変化に対応してその容量値が変化するように振る舞うものと言える。例えば、電源電圧が低下して、トランジスタの駆動電流が減少し、見かけ上のオン抵抗が増加すると、MOS キャパシタの容量値が相対的に減少し、遅延量の増加を抑制する。

【 0 0 2 8 】

さらに、見方を変えれば、遅延回路をなす各インバータの出力部に現れる信号の遷移領域において、MOS キャパシタがオン状態にあるゲート電圧範囲とオフ状態にあるゲート電圧範囲との比率が、電源電圧の増減に比例するものであると言える。例えば図 1 (a) に示す n 型 MOS トランジスタ N 1 1 を例として具体的に説明すると、n 型 MOS トランジスタ N 1 1 がオン状態にあるゲート電圧範囲とは、この n 型 MOS トランジスタ N 1 1 のゲート閾値電圧 V_t から電源電圧までのゲート電圧の範囲を指し、n 型 MOS トランジスタ N 1 1 がオフ状態にあるゲート電圧範囲とは、グランドからこの n 型 MOS トランジスタ N 1 1 のゲート閾値電圧 V_t までのゲート電圧の範囲を指す。

【 0 0 2 9 】

ここで、電源電圧に対してゲート閾値電圧 V_t は一定であるから、n 型 MOS トランジスタ N 1 1 がオフ状態にあるゲート電圧範囲は、電源電圧の変化に対して一定である。これに対し、n 型 MOS トランジスタ N 1 1 がオン状態にあるゲート電圧範囲は、電源電圧が変化した分だけ変化する。結局、MOS キャパシタがオン状態にあるゲート電圧範囲とオフ状態にあるゲート電圧範囲との比率が、電源電圧の増減に比例することとなる。

【 0 0 3 0 】

以上説明したように、この実施の形態 1 によれば、初期状態で MOS キャパシタをオフ状態とし、遅延対象の論理信号に基づきオン状態に変化させるようにしたので、必要な遅延時間が得られると共に、この遅延時間の電源電圧依存性を抑

制することが可能となる。したがって、電源電圧が低下しても、遅延時間が過剰に増加することがなくなり、遅延回路の遅延特性（すなわち電源電圧に対する依存性）と、配線負荷を駆動する論理回路系の遅延特性とを整合させることが可能となる。よって、電源電圧の変化に対し、遅延回路と他の論理回路系とをそれぞれ経由した信号間のタイミングを安定的に維持することが可能となり、これらの信号を受けて動作する回路の誤動作を防止することが可能となる。

【 0 0 3 1 】

＜実施の形態 2＞

以下、この発明の実施の形態 2 を説明する。

図 2 に、この実施の形態 2 にかかる遅延回路の構成例を示す。

上述の実施の形態 1 では、論理信号 S I N に基づき出力信号がハイレベルからロウレベルに変化するインバータの出力部に p 型 MOS トランジスタからなる MOS キャパシタを設け、出力信号がロウレベルからハイレベルに変化するインバータの出力部に n 型 MOS トランジスタからなる MOS キャパシタを設けたが、この実施の形態 2 では、論理信号 S I N に基づき出力信号がハイレベルからロウレベルに変化するインバータの出力部、または出力信号がロウレベルからハイレベルに変化するインバータの出力部の何れかのみに MOS キャパシタを設ける。

【 0 0 3 2 】

図 2 に、この実施の形態 2 にかかる遅延回路の構成例を示す。

図 2 (a) に示す例は、上述の図 1 (a) に示す実施の形態 1 にかかる構成において、MOS キャパシタとしての n 型 MOS トランジスタ N 1 1 , N 1 2 を省き、高 V_t の p 型 MOS トランジスタ P 1 1 , P 1 2 のみを用いたものである。

この構成によれば、インバータ V 1 1 , V 1 3 の出力信号がハイレベルからロウレベルに変化する場合に p 型 MOS トランジスタ P 1 1 , P 1 2 がオフ状態からオン状態に変化し、これらインバータの出力信号の遷移領域において MOS キャパシタの容量値が増加する方向に変化する。したがって、MOS キャパシタとして p 型 MOS トランジスタのみを用いて電源電圧依存性の少ない遅延回路を実現することができ、しかも図 1 (a) に示す構成と比較して回路構成を簡略化することができる。

【 0 0 3 3 】

図 2 (b) に示す例は、上述の図 1 (b) に示す構成において、MOS キャパシタとしての p 型 MOS トランジスタ P 2 1, P 2 2 を省き、高 V_t の n 型 MOS トランジスタ N 2 1, N 2 2 のみを用いたものである。

この構成によれば、インバータ V 1 1, V 1 3 の出力信号が、ロウレベルからハイレベルに変化する場合に n 型 MOS トランジスタ N 2 1, N 2 2 がオフ状態からオン状態に変化し、これらインバータの出力信号の遷移領域において MOS キャパシタの容量値が増加する方向に変化する。したがって、MOS キャパシタとして n 型 MOS トランジスタのみを用いて電源電圧依存性の少ない遅延回路を実現することができ、しかも図 1 (b) に示す構成と比較して回路構成を簡略化することができる。

【 0 0 3 4 】

< 実施の形態 3 >

以下、実施の形態 3 を説明する。

図 3 に、この実施の形態 3 にかかる遅延回路の構成例を示す。

同図に示す例は、上述の図 1 (a) に示す実施の形態 1 にかかる構成において、MOS キャパシタとして、p 型 MOS トランジスタ P 1 1, P 1 2 に代えて高 V_t の n 型 MOS トランジスタ N 3 1, N 3 2 を備え、n 型 MOS トランジスタ N 1 1, N 1 2 に代えて高 V_t の p 型 MOS トランジスタ P 3 1, P 3 2 を備える。

【 0 0 3 5 】

ここで、n 型 MOS トランジスタ N 3 1 のドレイン及びソースはインバータ V 1 1 の出力部に共通接続され、n 型 MOS トランジスタ N 3 2 のドレイン及びソースはインバータ V 1 3 の出力部に接続され、これら n 型 MOS トランジスタ N 3 1, N 3 2 のゲートは共に電源電圧 VDD に固定される。また、p 型 MOS トランジスタ P 3 1 のドレイン及びソースはインバータ V 1 2 の出力部に接続され、p 型 MOS トランジスタ P 3 2 のドレイン及びソースはインバータ V 1 4 の出力部に接続され、これら p 型 MOS トランジスタ P 3 1, P 3 2 のゲートは共に電源電圧 VDD に固定される。すなわち、MOS キャパシタをなす n 型 MOS ト

ランジスタのソース及びドレインは、論理信号 S I N の伝搬経路上のノードであって、この論理信号 S I N の論理レベルがハイレベルからロウレベルに変化するノードに接続され、ゲートが電源電圧に固定されている。また、同じく MOS キャパシタをなす p 型 MOS トランジスタのソース及びドレインは、論理信号 S I N の伝搬経路上のノードであって、この論理信号 S I N の論理レベルがロウレベルからハイレベルに変化するノードに接続され、ゲートがグランドに固定されている。

【 0 0 3 6 】

この構成によれば、インバータ V 1 1, V 1 3 の出力信号がハイレベルからロウレベルに変化する場合、n 型 MOS トランジスタ N 3 1, N 3 2 がオフ状態からオン状態に変化し、これらインバータの出力信号の遷移領域において MOS キャパシタの容量値が増加する方向に変化する。また、インバータ V 1 2, V 1 4 の出力信号がロウレベルからハイレベルに変化する場合、p 型 MOS トランジスタ P 3 1, P 3 2 がオフ状態からオン状態に変化し、これらインバータの出力信号の遷移領域において MOS キャパシタの容量値が増加する方向に変化する。したがって、上述の図 1 (a) に示す実施の形態 1 にかかる遅延回路と同様に、電源電圧依存性の少ない遅延回路を実現することができる。

【 0 0 3 7 】

なお、上述の図 1 (a) に示す構成と図 3 に示す構成との対応関係にならって、上述の図 1 (b) に示す実施の形態 1 の構成において、p 型 MOS トランジスタ P 2 1, P 2 2 及び n 型 MOS トランジスタ N 2 1, N 2 2 に代えて、図 3 に示す n 型 MOS トランジスタ N 3 1, N 3 2 及び p 型 MOS トランジスタ P 3 1, P 3 2 を設けてもよい。また、特に説明しないが、図 2 に示す実施の形態 2 にかかる構成において、各 MOS キャパシタとして、ソース及びドレインが各インバータの出力部に接続され、ゲートが電源電圧またはグランドに固定された MOS トランジスタを設けてもよい。

【 0 0 3 8 】

< 実施の形態 4 >

以下、この発明の実施の形態 4 を説明する。

図 4 に、この実施の形態 4 にかかる遅延回路の構成例を示す。

この遅延回路は、前述の図 2 (b) に示す遅延回路を応用したもので、遅延経路上に否定的論理和ゲート V 4 3, V 4 5 を設けることにより、論理信号がハイレベルに復帰した場合に、遅延回路の内部状態を速やかに元の状態に復帰させるように構成されたものである。

【0039】

同図において、インバータ V 4 1, V 4 2 および高 V_t の n 型 MOS トランジスタ N 4 1 は、図 2 (b) に示す構成と同様の思想に基づく遅延経路を形成し、論理信号 S I N を遅延させて否定的論理和ゲート V 4 3 の一方の入力部に与える。この否定的論理和ゲート V 4 3 の他方の入力部には、論理信号 S I N が直接的に与えられる。否定的論理和ゲート V 4 3 と高 V_t の n 型 MOS トランジスタ N 4 2 とインバータ V 4 4 も図 2 (b) に示す構成と同様の思想に基づく遅延経路を形成し、インバータ V 4 2 の出力信号を遅延させて否定的論理和ゲート V 4 5 の一方の入力部に与える。この否定的論理和ゲート V 4 5 の他方の入力部には、上述の論理信号 S I N が直接的に与えられる。否定的論理和ゲート V 4 5 の出力信号は、インバータ V 4 6 に与えられ、信号 S O U T として出力される。

【0040】

この実施の形態 4 では、初期状態で論理信号 S I N がハイレベルにあり、この状態から論理信号がロウレベルに変化すると、この論理信号 S I N が、インバータ V 4 1、n 型 MOS トランジスタ N 4 1、インバータ V 4 2 からなる遅延系と、否定的論理和ゲート V 4 3、n 型 MOS トランジスタ N 4 2、インバータ V 4 4 からなる遅延系を経て否定的論理和ゲート V 4 5 に与えられ、この否定的論理和ゲート V 4 5 およびインバータ V 4 6 を経て信号 S O U T として出力される。したがって、論理信号 S I N は遅延されて信号 S O U T として出力される。

これに対し、論理信号 S I N がロウレベルからハイレベルに変化した場合、否定的論理和ゲート V 4 3, V 4 4 の出力信号が強制的にロウレベルとされ、この遅延回路の内部状態が初期状態に速やかに戻される。

したがって、この実施の形態 4 によれば、電源電圧の依存性を抑えながら遅延対象の論理信号 S I N のロウレベルを有効に遅延させ、しかも次に入力される論

理信号 S I N のロウレベルに速やかに対処することが可能となる。

【 0 0 4 1 】

＜実施の形態 5＞

この発明の実施の形態 5 を説明する。

図 5 に、この実施の形態 5 にかかる遅延回路の構成例を示す。

上述の実施の形態 1 ないし 4 は、ロウレベルまたはハイレベルの何れかを遅延対象とするものであるが、この実施の形態 5 にかかる遅延回路は、ロウレベル及びハイレベルの双方を遅延対象とするものである。

図 5 に示す遅延回路は、論理信号 S I N を入力するインバータ V 5 1 と、ロウレベルを遅延させる遅延系 D 5 1、D 5 2 と、ハイレベルを遅延させる遅延系 D 5 3、D 5 4 と、p 型 MOS トランジスタ P 5 1、P 5 2 および n 型 MOS トランジスタ N 5 1、N 5 2 とから構成される。ただし、遅延系 D 5 1、D 5 2 は、前述の図 1 (b) に示す構成と同様の構成を有し、遅延系 D 5 3、D 5 4 は、前述の図 1 (a) に示す構成と同様の構成を有する。

【 0 0 4 2 】

さらに具体的に構成を説明する。

インバータ V 5 1 の出力部には遅延系 D 5 1 の入力部が接続され、この遅延系 D 5 1 の出力部には遅延系 D 5 2 の入力部が接続される。また、インバータ V 5 1 の出力部には遅延系 D 5 3 の入力部が接続され、この遅延系 D 5 3 の出力部には遅延系 D 5 4 の入力部が接続される。p 型 MOS トランジスタ P 5 1 のソースは電源に接続され、そのゲートには遅延系 D 5 2 の出力部が接続される。p 型 MOS トランジスタ P 5 2 のソースは、上述の p 型 MOS トランジスタ P 5 1 のドレインに接続され、そのゲートには遅延系 D 5 3 の出力部が接続される。n 型 MOS トランジスタ N 5 1 のソースはグランドに接続され、そのゲートには遅延系 D 5 4 の出力部が接続される。n 型 MOS トランジスタ N 5 2 のソースは上述の n 型 MOS トランジスタ N 5 1 のドレインに接続され、そのゲートには遅延系 D 5 1 の出力部が接続される。p 型 MOS トランジスタ P 5 2 のドレインと n 型 MOS トランジスタ N 5 2 のドレインとの接続点は、この遅延回路の出力部とされる。

【 0 0 4 3 】

次に、この実施の形態 5 の動作を説明する。

論理信号 S I N がロウレベルからハイレベルに変化した場合、インバータ V 5 1 の出力信号がハイレベルからロウレベルに変化する。このインバータ V 5 1 の出力信号は、遅延系 D 5 1 により遅延されて n 型 MOS トランジスタ N 5 2 のゲートに与えられ、この n 型 MOS トランジスタ N 5 2 をオフ状態とし、さらに遅延系 D 5 2 により遅延されて p 型 MOS トランジスタ P 5 1 のゲートに与えられ、この p 型 MOS トランジスタ P 5 1 をオン状態とする。一方、インバータ V 5 1 の出力信号は、遅延系 D 5 3 により遅延されて p 型 MOS トランジスタ P 5 2 のゲートに与えられ、この p 型 MOS トランジスタ P 5 2 をオン状態とし、さらに遅延系 D 5 4 により遅延されて n 型 MOS トランジスタ N 5 1 のゲートに与えられ、この n 型 MOS トランジスタ N 5 1 をオフ状態とする。

【 0 0 4 4 】

ここで、p 型 MOS トランジスタ P 5 1、P 5 2 および n 型 MOS トランジスタ N 5 1、N 5 2 の各動作状態に着目すると、p 型 MOS トランジスタ P 5 1 がオン状態に制御される過程において、先ず p 型 MOS トランジスタ P 5 2 および n 型 MOS トランジスタ N 5 2 がそれぞれオン状態およびオフ状態に制御される。したがって、信号 S O U T は、遅延系 D 5 1、D 5 2 を経て p 型 MOS トランジスタ P 5 1 に与えられる信号に基づきハイレベルになる。すなわち、インバータ V 5 1 から出力されるロウレベルが、遅延系 D 5 1、D 5 2 により遅延され、この遅延系 D 5 1、D 5 2 により遅延された信号に基づき信号 S O U T がハイレベルとなる。

【 0 0 4 5 】

上述の場合と同様に、論理信号 S I N がハイレベルからロウレベルに変化した場合には、インバータ V 5 1 から出力されるハイレベルが、遅延系 D 5 3、D 5 4 により遅延され、この遅延系 D 5 3、D 5 4 により遅延された信号に基づき信号 S O U T がロウレベルとなる。

この実施の形態 5 によれば、ロウレベルを遅延対象とする遅延経路と、ハイレベルを遅延対象とする遅延経路を備えたので、論理信号 S I N がロウレベルから

ハイレベルに変化した場合と、論理信号 S I N がハイレベルからロウレベルに変化した場合の両方の信号変化に対処することが可能となる。

【 0 0 4 6 】

＜実施の形態 6＞

以下、この発明の実施の形態 6 を説明する。

上述の実施の形態 1 ないし 5 は、論理信号の論理レベルを単に遅延させるためのものであるが、この実施の形態 6 は、ワンショットパルスを発生するパルス発生回路として構成される。

図 6 に、この実施の形態 6 にかかる遅延回路が適用されたパルス発生回路の構成を示す。同図に示すパルス発生回路は、遅延系 D 6 1 と論理積ゲート V 6 1 と遅延系 D 6 2 と否定的論理積ゲート V 6 2 と、論理積ゲート V 6 3 から構成される。ただし、遅延系 D 6 1, D 6 2 は、前述の図 1 (a) に示す構成と同様の構成を有する。

【 0 0 4 7 】

さらに具体的に構成を説明する。

遅延系 D 6 1 の入力部には、論理信号 S I N が与えられる。論理積ゲート V 6 1 の一方の入力部には遅延系 D 6 1 の出力部が接続され、この他方の入力部には論理信号 S I N が与えられる。遅延系 D 6 2 の入力部には論理積ゲート V 6 1 の出力部が接続される。否定的論理積ゲート V 6 2 の一方の入力部には遅延系 D 6 2 の出力部が接続され、その他方の入力部には論理積ゲート V 6 1 の出力部が接続される。論理積ゲート V 6 3 の一方の入力部には否定的論理積ゲート V 6 2 の出力部が接続され、その他方の入力部には論理信号 S I N が直接与えられる。

【 0 0 4 8 】

次に、この実施の形態 6 の動作を説明する。

初期状態において、論理信号 S I N がロウレベルにあるものとする。この初期状態では、否定的論理積ゲート V 6 2 から論理積ゲート V 6 3 に与えられる信号はロウレベルとなっており、信号 S O U T はロウレベルとなっている。この状態から論理信号 S I N がロウレベルからハイレベルに変化すると、論理積ゲート V 6 3 は、これを受けて信号 S O U T をハイレベルとする。また、論理信号 S I N

のハイレベルは、遅延系 D 6 1 により遅延されて論理積ゲート V 6 1 の一方の入力部に与えられる。このとき、論理積ゲート V 6 1 の他方の入力部に直接与えられている論理信号 S I N は既にハイレベルになっているので、論理積ゲート V 6 1 の出力信号は、遅延系 D 6 1 を経た信号に基づいてハイレベルに変化する。

【 0 0 4 9 】

この論理積ゲート V 6 1 の出力信号は、遅延系 D 6 2 により遅延されて否定的論理積ゲート V 6 2 の一方の入力部に与えられる。このとき、論理積ゲート V 6 1 から否定的論理積ゲート V 6 2 の他方の入力部に与えられる信号は既にハイレベルになっているので、否定的論理積ゲート V 6 2 の出力信号は、遅延系 D 6 2 を経た信号に基づいてロウレベルに変化する。論理積ゲート V 6 3 は、この否定的論理積ゲート V 6 2 の出力信号を受けて信号 S O U T をロウレベルとする。結局、論理信号 S I N がロウレベルからハイレベルに変化すると、遅延系 D 6 1、D 6 2 での遅延時間に相当するパルス幅を有するワンショットパルスが信号 S O U T として出力される。

この実施の形態 6 によれば、論理信号 S I N がロウレベルからハイレベルに変化した場合、電源電圧に対する依存性が抑制されたパルス幅を有するワンショットパルスを発生することができる。したがって、電源電圧が低下しても、概ねパルス幅を一定に保つことができる。

【 0 0 5 0 】

< 実施の形態 7 >

以下、この発明の実施の形態 7 を説明する。

上述の実施の形態 1 ないし 6 では、M O S キャパシタを構成する M O S トランジスタの基板のバイアス方法について特に明記していないが、通常のバイアス方法に従えば、M O S キャパシタとして機能する n 型 M O S トランジスタの基板（またはウェル）はグランド電位にバイアスされ、p 型 M O S トランジスタの基板（またはウェル）は電源電圧にバイアスされる。

これに対し、この実施の形態 7 では、M O S キャパシタを構成する M O S トランジスタの基板バイアス量を高くして基板効果を利用することにより、見かけ上のゲート閾値電圧を高くする。

【 0 0 5 1 】

図 7 に、この実施の形態 7 にかかる遅延回路の特徴部を示す。

同図において、インバータ V 7 1, V 7 2 は、例えば前述の図 1 (a) に示すインバータ V 1 1, V 1 2 に対応し、MOS キャパシタをなす p 型 MOS トランジスタ P 7 2 および n 型 MOS トランジスタ N 7 3 は、図 1 (a) に示す p 型 MOS トランジスタ P 1 1 および n 型 MOS トランジスタ N 1 1 に対応する。ただし、この実施の形態にかかる p 型 MOS トランジスタ P 7 2 の基板（またはウェル）は、電源電圧 VDD よりもさらに α だけ高い電位「 $VDD + \alpha$ 」にバイアスされ、n 型 MOS トランジスタ N 7 3 の基板（またはウェル）は、グランド電位 VGND よりもさらに β だけ低い電位「 $VGND - \beta$ 」にバイアスされている。「 α 」および「 β 」なる定数は、基板バイアス量を表し、必要とする MOS キャパシタのゲート閾値電圧に応じて設定される。

【 0 0 5 2 】

また、インバータ V 7 1, V 7 2 を構成する p 型 MOS トランジスタの基板は電圧 VD にバイアスされ、n 型 MOS トランジスタの基板は電圧 VG にバイアスされている。ここで、電圧 VD は、この遅延回路が搭載された半導体装置がアクティブ時に電源電圧 VDD となり、スタンバイ時に「 $VDD + \alpha$ 」となる。また、電圧 VG は、アクティブ時にグランド電圧 VGND となり、スタンバイ時に「 $VGND - \beta$ 」となる。

この実施の形態 7 によれば、MOS キャパシタの基板バイアス量を制御することにより、MOS キャパシタを構成する MOS トランジスタのゲート閾値電圧を任意に設定することができる。したがって、デバイス自体の特性として 2 種類のゲート閾値電圧を準備する必要がなくなる。

【 0 0 5 3 】

< 実施の形態 8 >

以下、この発明の実施の形態 8 を説明する。

上述の実施の形態 1 ないし 7 では、ロウレベルおよびハイレベルの各遅延時間が異なるように MOS キャパシタを用いて遅延回路を構成したが、この実施の形態 8 では、遅延回路内のインバータを構成する p 型 MOS トランジスタと n 型 M

OSトランジスタの各ゲート閾値電圧を高 V_t または低 V_t の何れかに選択的に設定することにより、ロウレベルおよびハイレベルの各遅延時間を異ならせる。

【0054】

図8（a）に、この実施の形態8にかかる遅延回路の構成上の特徴部を示す。

同図に示すように、この遅延回路は、論理信号SINのハイレベルを遅延対象とするものであって、インバータV81およびインバータV82を従属接続したインバータチェーンを備えて構成される。ここで、遅延対象の論理信号の論理レベルに応じて、各インバータを構成するp型MOSトランジスタおよびn型MOSトランジスタの各ゲート閾値電圧は、標準的な各ゲート閾値電圧に対して互いに逆方向にシフトされている。具体的には、インバータV81を構成するp型MOSトランジスタP81のゲート閾値電圧は高 V_t に設定され、n型MOSトランジスタN81のゲート閾値電圧は低 V_t に設定されている。また、その後段に接続されたインバータV82を構成するp型MOSトランジスタP82のゲート閾値電圧は低 V_t に設定され、n型MOSトランジスタN82のゲート閾値電圧は高 V_t に設定されている。これにより、前段のインバータV81の入力閾値は低く設定され、後段のインバータV82の入力閾値は高く設定される。

なお、この例では、ハイレベルの論理信号を遅延対象としているが、ロウレベルを遅延対象とする場合には、前段のインバータV81を構成するp型MOSトランジスタP81のゲート閾値電圧を低 V_t とし、n型MOSトランジスタN81のゲート閾値電圧を高 V_t とし、また、その後段に接続されたインバータV82を構成するp型MOSトランジスタP82のゲート閾値電圧を高 V_t とし、n型MOSトランジスタN82のゲート閾値電圧を低 V_t とすればよい。

【0055】

この実施の形態8によれば、図8（b）に示すように、通常のインバータの入力閾値（この例では0.5V）を基準として、インバータV81の入力閾値は、電源電圧の低下に伴って低下する傾向を示し、逆にインバータV82の入力閾値は、電源電圧の低下に伴って上昇する傾向を示す。これにより、電源電圧の低い領域で、遅延回路としての入力閾値は低下し、論理信号SINのハイレベルの遅延時間が、ロウレベルの遅延時間に対して相対的に短くなる。この結果、必要な

遅延時間が得られる限度において、論理信号のハイレベルの遅延時間を短縮することができ、この遅延時間の電源電圧に対する依存性を有効に抑制することができる。

【 0 0 5 6 】

図 9 に、この実施の形態 8 にかかる遅延回路の変形例を示す。

同図に示す例は、半導体装置をアクティブ状態またはスタンバイ状態に制御するためのチップセレクト信号により、スタンバイ時に低 V_t の MOS トランジスタをリークする電流をカットするように構成されたものである。

すなわち、同図において、インバータ V_{91} を構成する低 V_t の n 型 MOS トランジスタのソースと、インバータ V_{93} を構成する低 V_t の n 型 MOS トランジスタのソースは、高 V_t の n 型 MOS トランジスタ N_{91} を介してグランドに接続される。また、インバータ V_{92} を構成する低 V_t の p 型 MOS トランジスタのソースと、インバータ V_{94} を構成する低 V_t の p 型 MOS トランジスタのソースは、高 V_t の p 型 MOS トランジスタ P_{91} を介して電源に接続される。

【 0 0 5 7 】

この変形例によれば、スタンバイ時に論理信号 SIN がロウレベルに固定されると、 n 型 MOS トランジスタ N_{91} および p 型 MOS トランジスタ P_{91} が、チップセレクト信号 CS 、 \overline{CS} に基づきオフ状態に制御される。ここで、インバータ V_{91} 、 V_{93} を構成する低 V_t の各 n 型 MOS トランジスタはオフ状態となるが、これらは低 V_t のトランジスタであるため、リーク電流が発生しやすい。しかしながら、これらの低 V_t の n 型 MOS トランジスタでリーク電流が発生したとしても、高 V_t の n 型 MOS トランジスタ N_{91} がオフ状態にあるため、リーク電流の発生が抑えられる。同様に、スタンバイ時に、インバータ V_{92} 、 V_{94} を構成する低 V_t の p 型 MOS トランジスタでリーク電流が発生しても、高 V_t の p 型 MOS トランジスタ P_{91} でリーク電流が抑えられる。

したがって、この第 1 の変形例によれば、電源電圧の依存性が抑制され、しかもスタンバイ時の消費電流を有効に抑制することが可能となる。

【 0 0 5 8 】

この変形例は、各インバータの入力閾値により遅延時間の電源依存性を抑制す

るものとしたが、前述の例えば実施の形態 1 のように、MOS キャパシタにより電源電圧の依存性を抑制するものとしてもよい。

図 1 0 に、上述の図 9 に示す変形例において、MOS キャパシタを採用した場合の構成例を示す。この構成例は、上述の変形例の構成において、MOS キャパシタをなす p 型 MOS トランジスタ P 9 2、P 9 3 および n 型 MOS トランジスタ N 9 2、N 9 3 をさらに備えて構成たものである。ただし、インバータ V 9 1 ~ V 9 4 の入力閾値は標準値に設定されている。

以上、この発明の実施の形態を説明したが、この発明は、これらの実施の形態に限られるものではなく、この発明の要旨を逸脱しない範囲の設計変更等があっても本発明に含まれる。

【 0 0 5 9 】

【発明の効果】

この発明によれば、以下の効果を得ることができる。

すなわち、ロウレベル及びハイレベルの論理レベルを有する論理信号を遅延させる遅延回路において、前記論理信号の論理レベルがロウレベルの場合とハイレベルの場合とで遅延時間が異なる遅延特性を有し、前記ロウレベル及びハイレベルの論理レベルのうち、遅延時間が短い方の論理レベルを遅延対象とする遅延系を備えたので、電源電圧が低下しても遅延時間が過剰に増加せず、遅延時間の増加を抑制することが可能となる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 にかかる遅延回路の構成を示す回路図である。

【図 2】 この発明の実施の形態 2 にかかる遅延回路の構成を示す回路図である。

【図 3】 この発明の実施の形態 3 にかかる遅延回路の構成を示す回路図である。

【図 4】 この発明の実施の形態 4 にかかる遅延回路の構成を示す回路図である。

【図 5】 この発明の実施の形態 5 にかかる遅延回路の構成を示す回路図で

ある。

【図 6】 この発明の実施の形態 6 にかかる遅延回路の構成を示す回路図である。

【図 7】 この発明の実施の形態 7 にかかる遅延回路の構成を示す回路図である。

【図 8】 この発明の実施の形態 8 にかかる遅延回路を説明するための回路図である。

【図 9】 この発明の実施の形態 8 にかかる遅延回路の変形例を示す回路図である。

【図 1 0】 この発明の実施の形態 8 にかかる遅延回路の他の変形例を示す回路図である。

【図 1 1】 従来技術にかかる遅延回路の構成例を示す回路図である。

【図 1 2】 遅延回路と共に半導体装置に搭載される論理回路系の一例を示す回路図である。

【図 1 3】 遅延回路と論理回路系との電源電圧依存性の違いを説明するための特性図である。

【符号の説明】

V 1 1 ～ V 1 4 , V 4 1 , V 4 2 , V 4 4 , V 4 6 , V 5 1 : インバータ

V 7 1 , V 7 2 , V 8 1 , V 8 2 , V 9 1 ～ V 9 4 : インバータ

V 4 3 , V 4 5 : 否定的論理和ゲート

V 6 1 , V 6 3 : 論理積ゲート

V 6 2 : 否定的論理積ゲート

D 5 1 , D 5 2 , D 5 3 , D 5 4 , D 6 1 , D 6 2 : 遅延系

N 1 1 , N 1 2 , N 2 1 , N 2 2 , N 3 1 , N 3 2 : n 型 MOS トランジスタ

N 4 1 , N 4 2 , N 5 1 , N 5 2 : n 型 MOS トランジスタ

N 7 3 , N 9 1 ～ N 9 3 : n 型 MOS トランジスタ

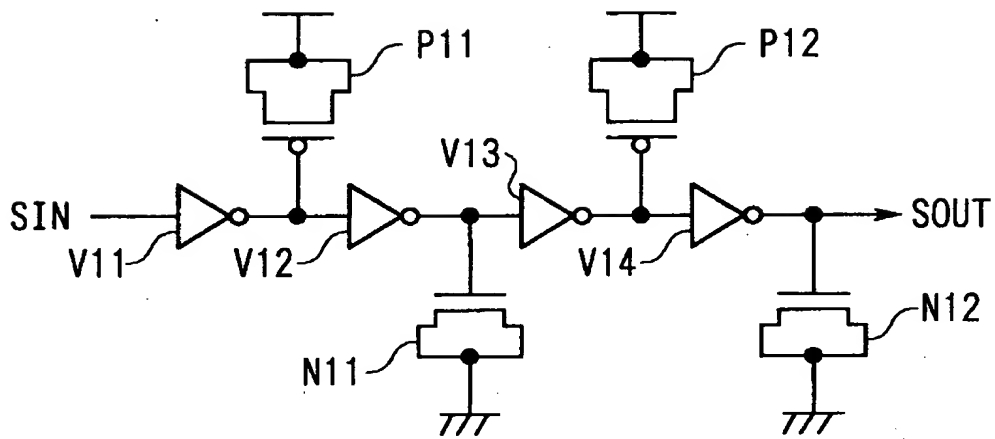
P 1 1 , P 1 2 , P 2 1 , P 2 2 , P 3 1 , P 3 2 : p 型 MOS トランジスタ

P 5 1 , P 5 2 , P 7 2 , P 9 1 ～ P 9 3 : p 型 MOS トランジスタ

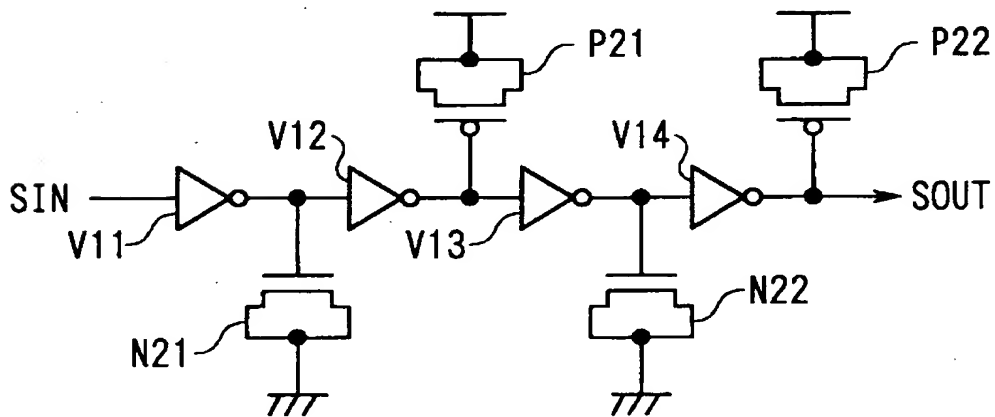
【書類名】 図面

【図 1】

(a)

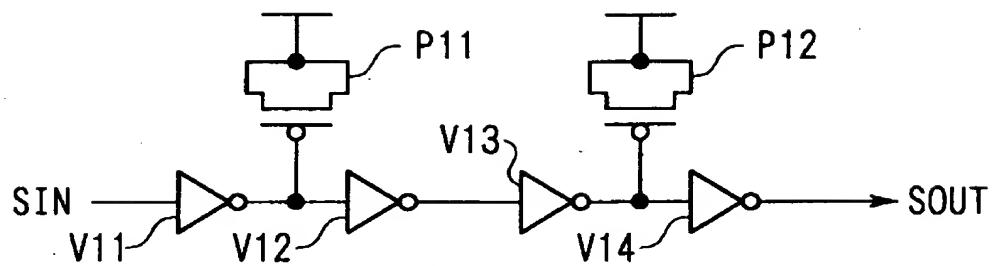


(b)

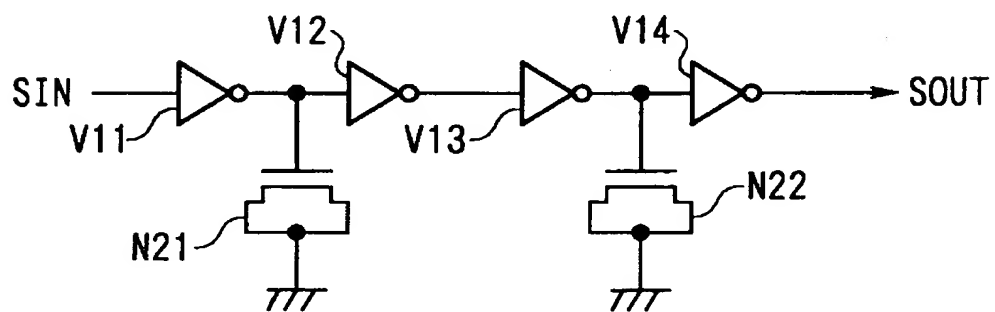


【図 2】

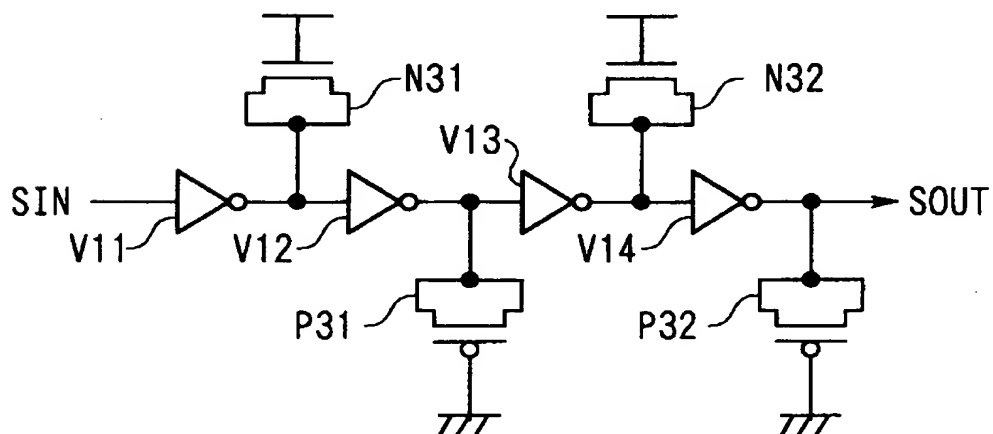
(a)



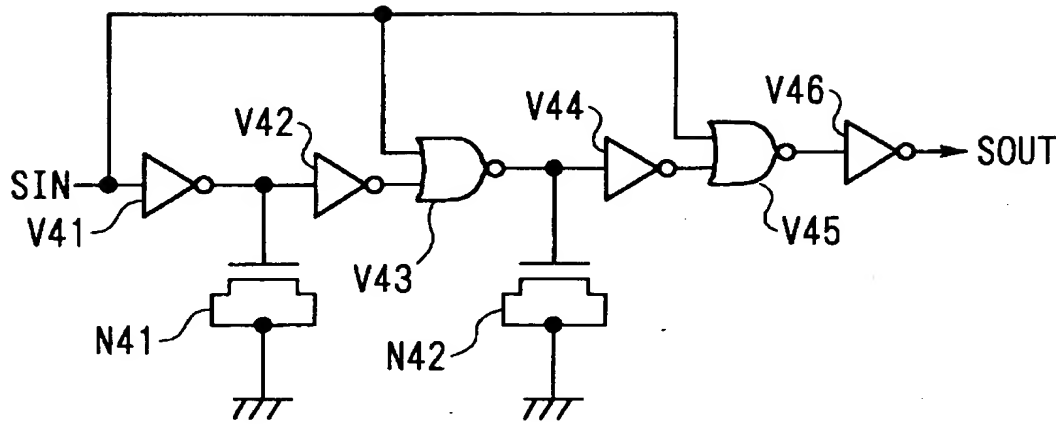
(b)



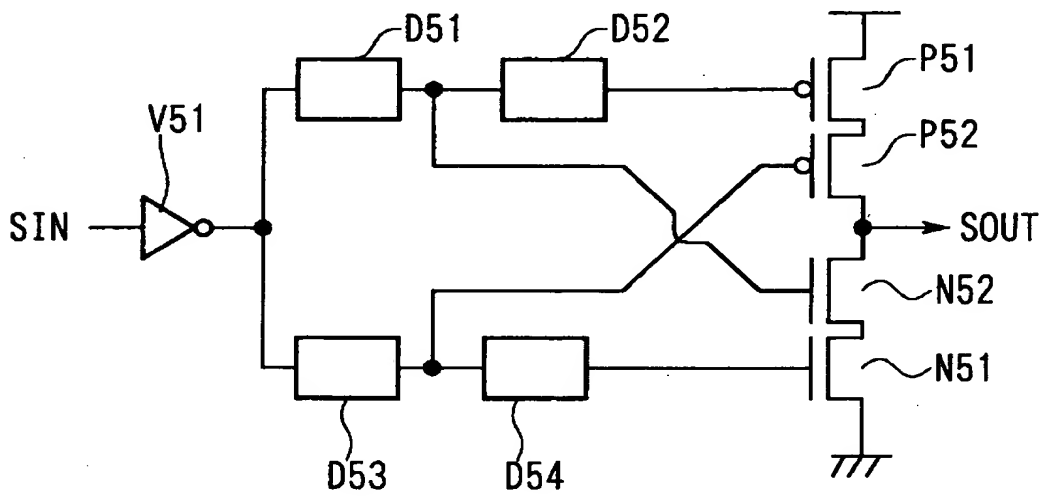
【図 3】



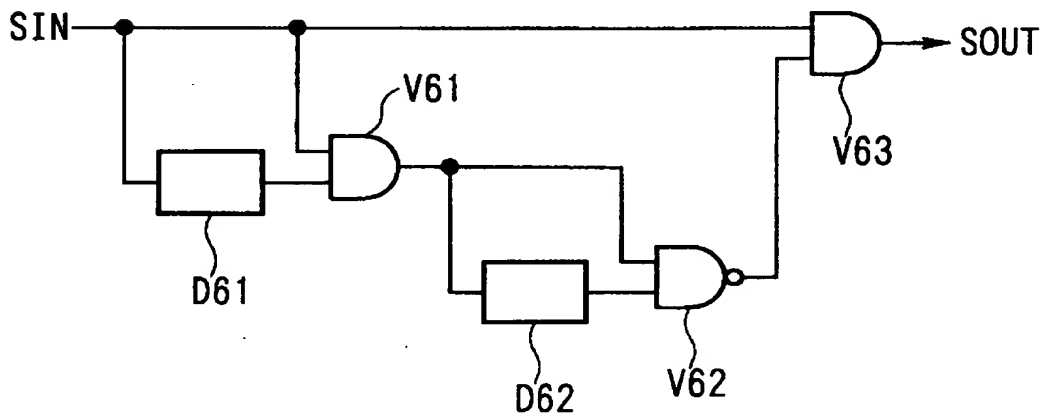
【図 4】



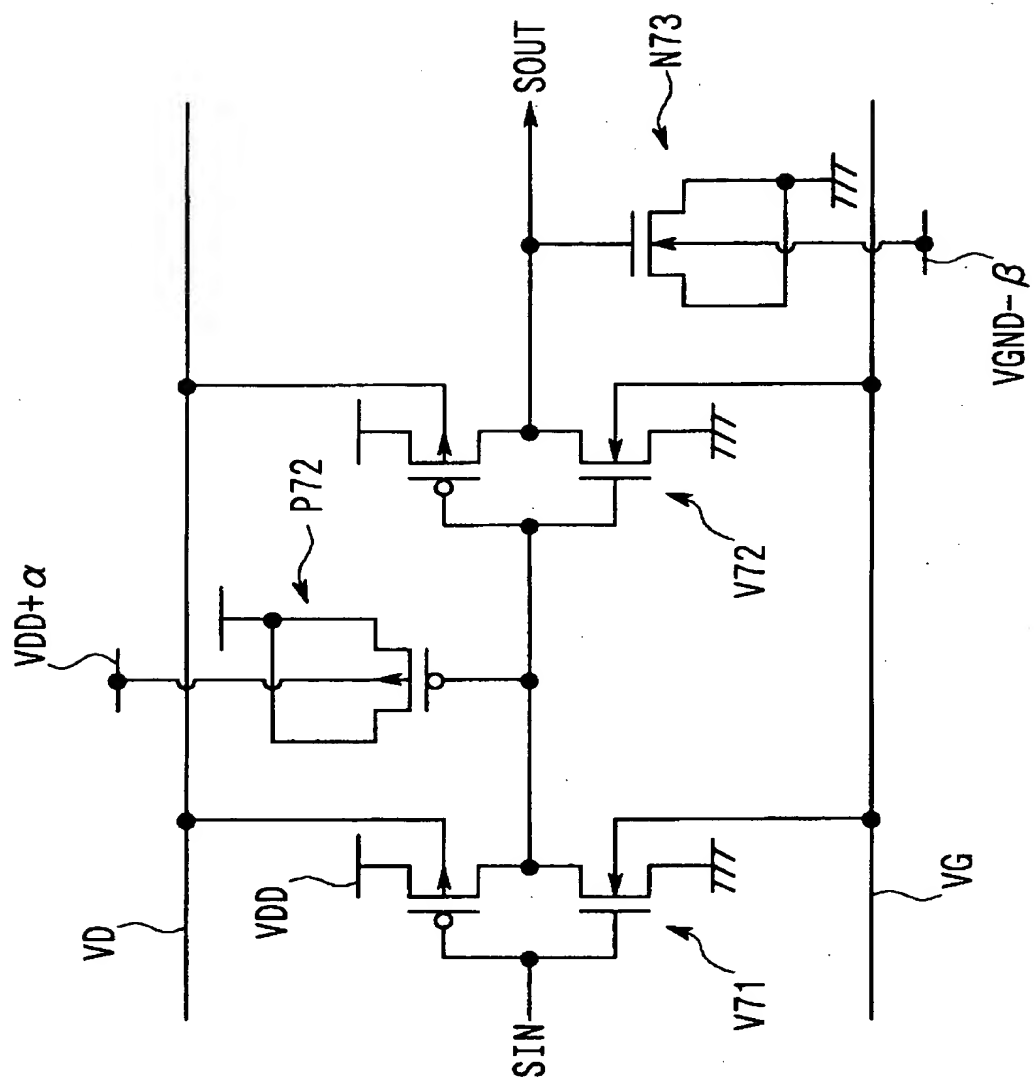
【図 5】



【図 6】

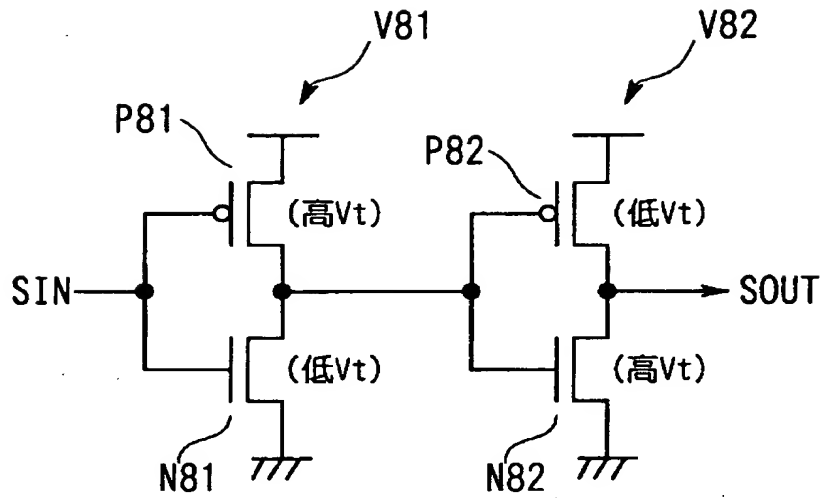


【図 7】

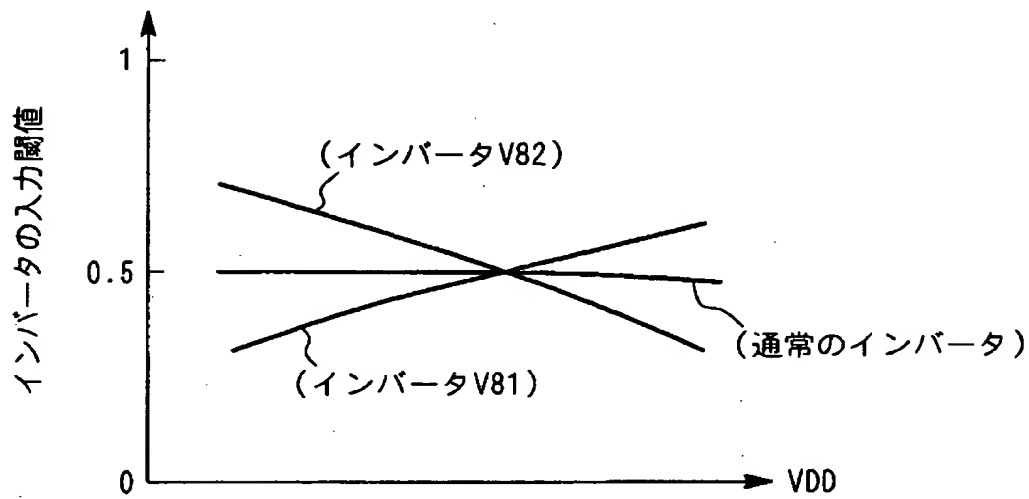


【図 8】

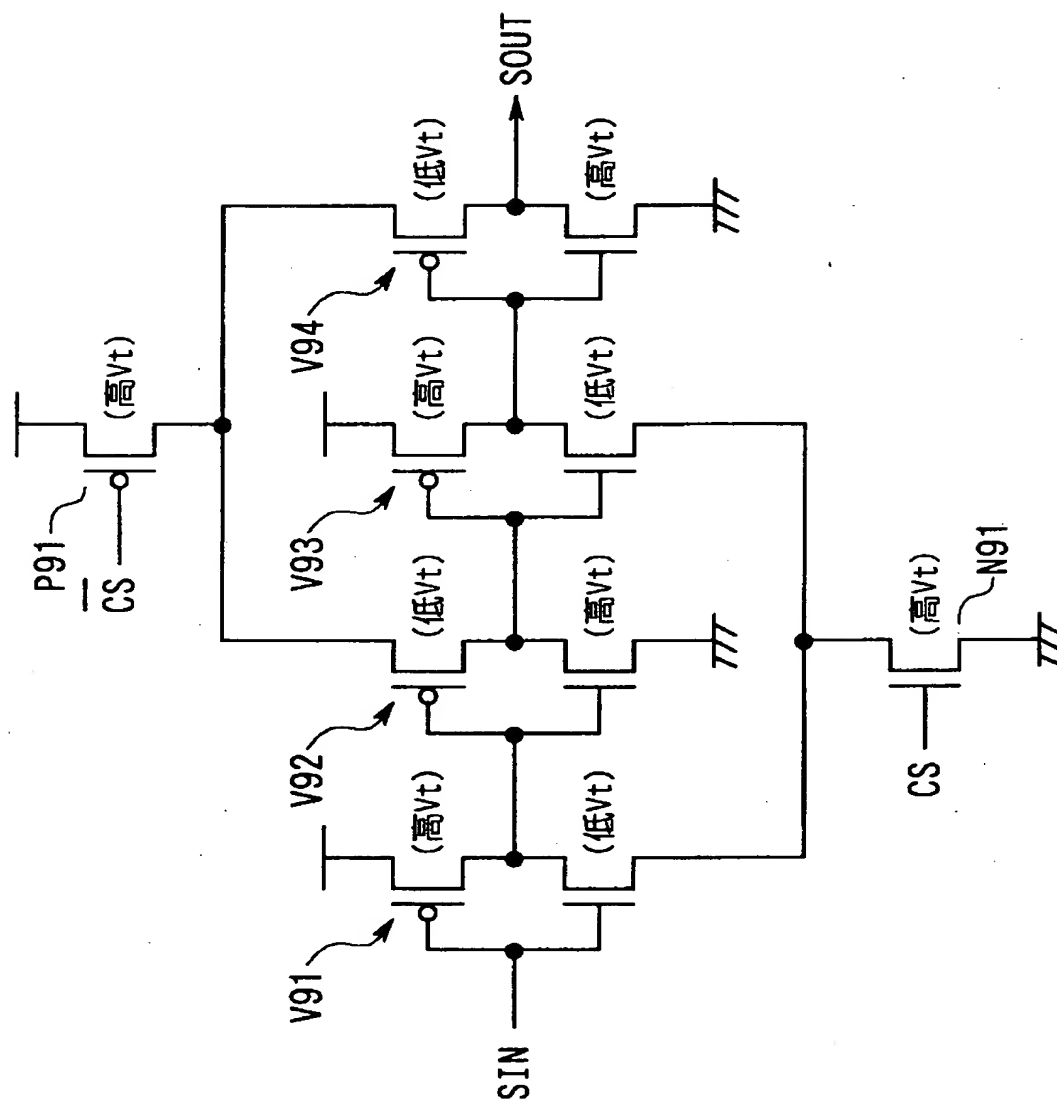
(a)



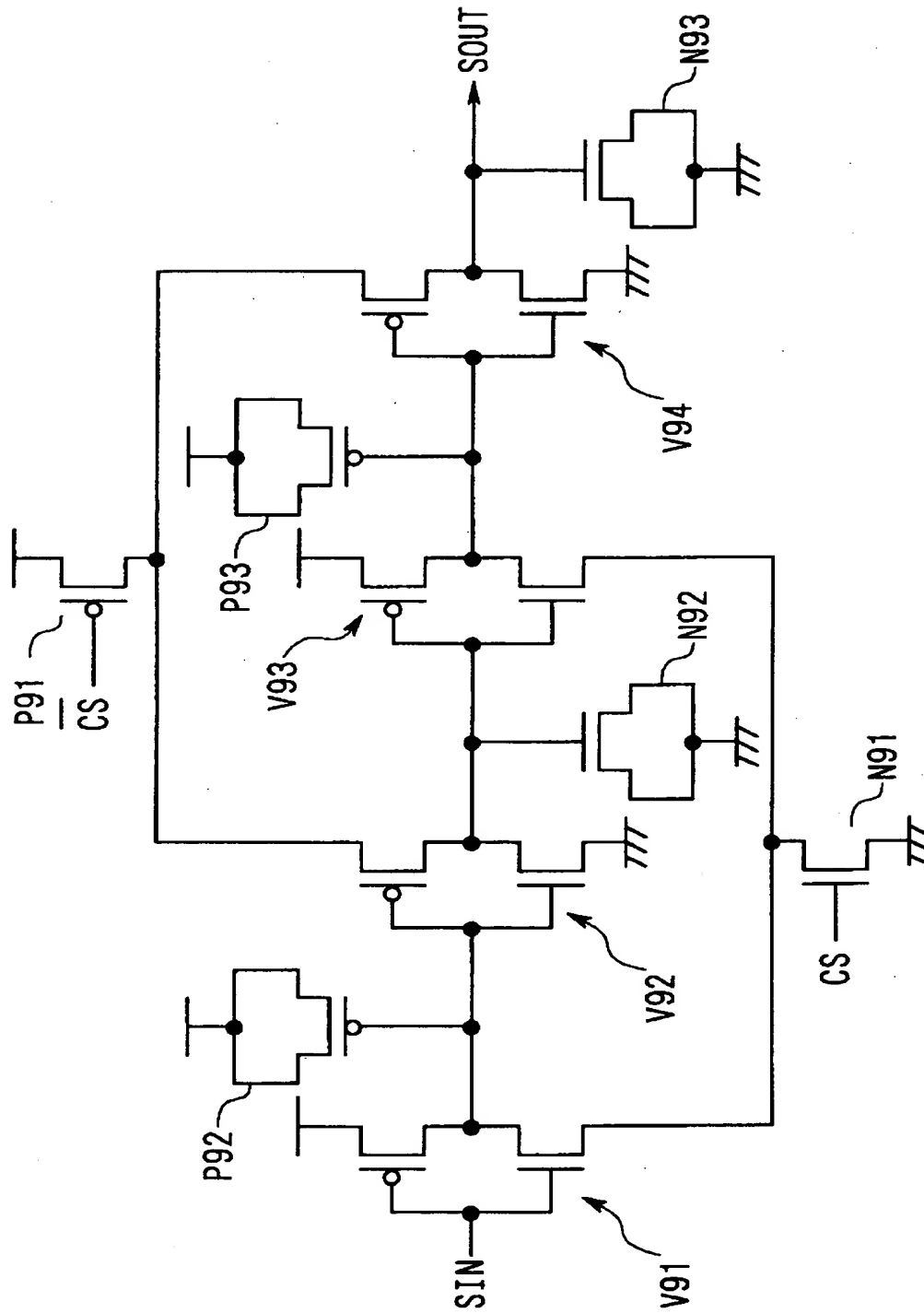
(b)



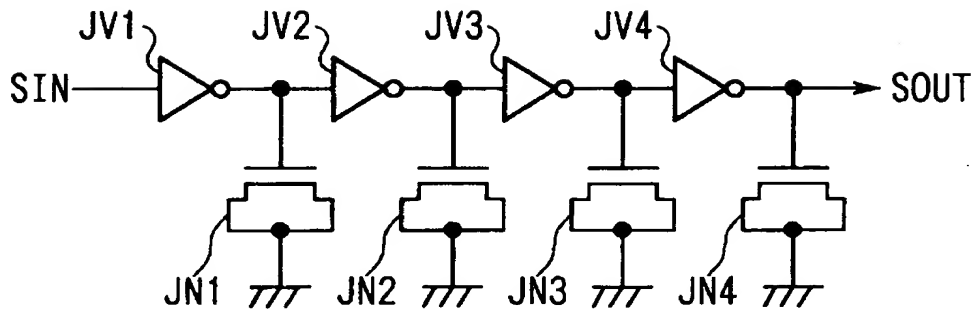
【图 9】



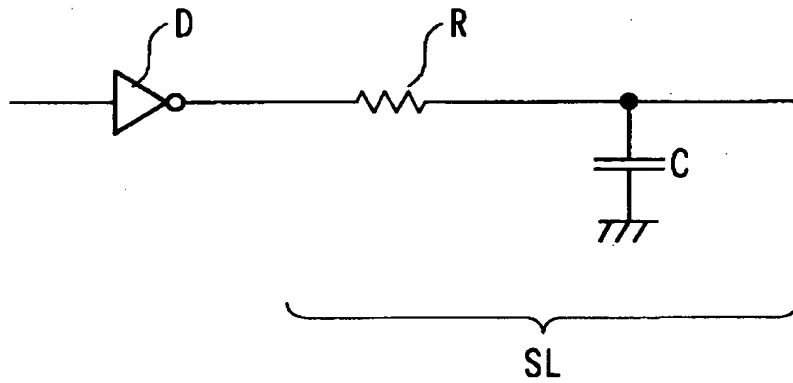
【図 10】



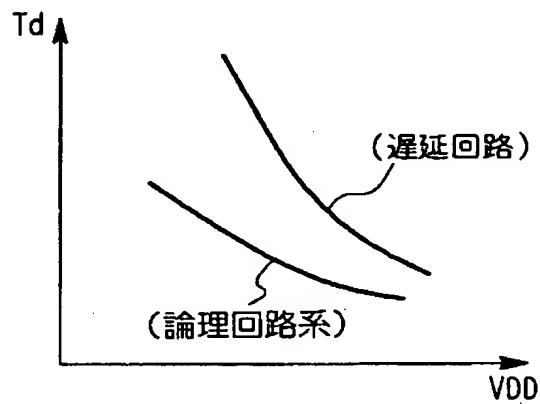
【図 1 1】



【図 1 2】



【図 1 3】



【書類名】 要約書

【要約】

【課題】 電源電圧が低下しても遅延時間が過剰に増加せず、遅延時間の増加を抑制することが可能な遅延回路を提供すること。

【解決手段】 ロウレベル及びハイレベルの論理レベルを有する論理信号 S I N を遅延させる遅延回路において、論理信号 S I N の論理レベルがロウレベルの場合とハイレベルの場合とで遅延時間が異なる遅延特性を有し、ロウレベル及びハイレベルの論理レベルのうち、遅延時間が短い方の論理レベルを遅延対象とする。すなわち、遅延経路の各ノードに対し、各ノードに現れる信号の遷移領域において、オフ状態からオン状態に変化する n 型 M O S トランジスタ N 1 1, N 1 2 および p 型 M O S トランジスタ P 1 1, P 1 2 を M O S キャパシタとして設ける。これにより、電源電圧に対する遅延時間の依存性が抑制され、電源電圧が低下しても、遅延時間が過剰に増加することがなくなる。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 0 - 2 4 3 3 1 7
受付番号	5 0 0 0 1 0 2 5 5 9 0
書類名	特許願
担当官	風戸 勝利 9 0 8 3
作成日	平成 1 2 年 8 月 1 8 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000004237
【住所又は居所】	東京都港区芝五丁目 7 番 1 号
【氏名又は名称】	日本電気株式会社

【代理人】

【識別番号】	申請人
【識別番号】	100108578
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ ル 志賀国際特許事務所
【氏名又は名称】	高橋 詔男

【代理人】

【識別番号】	100064908
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ ル 志賀国際特許事務所
【氏名又は名称】	志賀 正武

【選任した代理人】

【識別番号】	100101465
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ ル 志賀国際特許事務所
【氏名又は名称】	青山 正和

【選任した代理人】

【識別番号】	100108453
【住所又は居所】	東京都新宿区高田馬場 3 丁目 2 3 番 3 号 O R ビ ル 志賀国際特許事務所
【氏名又は名称】	村山 靖彦

次頁無

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社